

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

7.5 Priority Doc
Date of Filing
6-20-01
11036 U.S. PTO
09/805103
03/14/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 6月13日

CERTIFIED COPY OF
PRIORITY DOCUMENT

出願番号
Application Number:

特願2000-176491

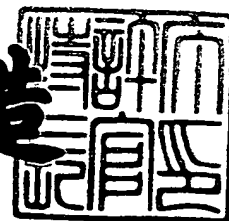
出願人
Applicant(s):

富士通株式会社
富士通ヴィエルエスアイ株式会社

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3098148

【書類名】 特許願

【整理番号】 0040022

【提出日】 平成12年 6月13日

【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/19

【発明の名称】 差動アンプ回路、差動変換回路及びミキサ回路

【請求項の数】 4

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴェエルエスアイ株式会社内

【氏名】 富田 和広

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617

【氏名又は名称】 富士通ヴェエルエスアイ株式会社

【代理人】

【識別番号】 100068755

【住所又は居所】 岐阜市大宮町 2 丁目 1 2 番地の 1

【弁理士】

【氏名又は名称】 恩田 博宣

【電話番号】 058-265-1810

【選任した代理人】

【識別番号】 100105957

【住所又は居所】 東京都渋谷区代々木二丁目 1 0 番 4 号 新宿辻ビル 8 階

【弁理士】

【氏名又は名称】 恩田 誠

【電話番号】 03-5365-3057

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【包括委任状番号】 9909791

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 差動アンプ回路、差動変換回路及びミキサ回路

【特許請求の範囲】

【請求項 1】 一対のエミッタ接地型アンプとベース接地型アンプとから構成され、両アンプには共通に第 1 の入力信号が供給され、該第 1 の入力信号に対応する第 1 の差動信号を出力する第 1 のシングルエンド差動変換回路と、

一対のエミッタ接地型アンプとベース接地型アンプとから構成され、両アンプには共通に第 2 の入力信号が供給され、該第 2 の入力信号に対応する第 2 の差動信号を出力する第 2 のシングルエンド差動変換回路と、

を備え、第 1 及び第 2 の差動信号をクロスカップルして生成した第 3 の差動信号を出力することを特徴とする差動アンプ回路。

【請求項 2】 一対のエミッタ接地型アンプとベース接地型アンプとから構成され、両アンプには共通に入力信号が供給され、該入力信号に対応する差動信号を出力する差動変換部と、

前記差動信号が前記第 1 及び第 2 の入力信号として入力される請求項 1 に記載の差動アンプ回路と、

を備えたことを特徴とするシングルエンド差動変換回路。

【請求項 3】 ディファレンシャルペア部分を有するギルバートセルミキサからなるミキサ回路において、

前記ディファレンシャル部分に請求項 1 に記載の差動アンプ回路を用いたことを特徴とするミキサ回路。

【請求項 4】 ディファレンシャルペア部分を有するギルバートセルミキサからなるミキサ回路において、

前記ディファレンシャル部分に請求項 2 に記載の差動変換回路を用いたことを特徴とするミキサ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は高周波差動アンプ回路、差動変換回路及びミキサ回路に関するもので

ある。

【0002】

近年、移動体通信やケーブルTVなどの無線及び優先通信分野ではデータ転送効率をよくするために、送受信部の高周波信号回路に非常に高い直線性（低ひずみ）を要求している。また、PCB上、とりわけ高周波集積回路（RFIC）において、信号間及び回路間の干渉を回避する手段として差動回路構成が、今日の高集積化された回路で次第に必須となってきた。また、集積回路で一般的に用いられる周波数ミキサはギルバートセル型であり、差動回路構成になっている。これらの回路においても高い直線性（低ひずみ）が必要となっている。

【0003】

【従来の技術】

図9は、従来の差動アンプ回路10の回路図である。このアンプ回路10は、エミッタ結合のディファレンシャルペア（差動対）11を備えている。即ち、差動対11は、エミッタが互いに接続された一对のNPNトランジスタQ1、Q2から構成され、エミッタの接続点はバイアス電流を流す電流源12に接続されている。両トランジスタQ1、Q2のベースはそれぞれ入力端子13、14に接続され、コレクタはそれぞれ出力端子15、16に接続されている。

【0004】

【発明が解決しようとする課題】

ところが、従来の差動アンプ回路10では動作原理がバイアス電流の切替によるため、直線性はPN接合の内蔵電位で制限され、最大出力電流はバイアス電流の制限を受ける。従って、従来はひずみ特性同様に重要な特性であるゲインや雑音特性を犠牲にして、エミッタ直列帰還(emitter degeneration)により入力換算の直線性を改善していた。しかし、この場合も出力電力（電流）直線性には効果は無い。

【0005】

更に、もう一つの問題点として、差動出力の平衡度（バランス：振幅及び位相誤差）がある。差動入力信号の平衡度は多くの差動回路においてその特性に大きく影響することが多い。例えば、ダブルバランス型のギルバートセルミキサのア

イソレーション特性やスプリアス特性、差動C Rネットワーク構成の直交位相シフタの直交精度などである。（差動C Rネットワーク構成の直交位相シフタの場合、ひずみによって生じるスプリアス成分もまた直交精度に影響する。）これらの重要な特性は、いずれも通信機器のシステムに影響を与える。

【0 0 0 6】

ところが、従来の差動対回路では、高周波の場合、入力信号の平衡度が出力信号にある程度の不平衡を与える。差動対回路はギルバートセルミキサの入力部の構成要素であり、また、差動信号バッファアンプとしてもよく使用されるため、出力信号の平衡度は重要である。

【0 0 0 7】

また、I Cに差動信号を供給するために、I C外部にバルーン(Balun) が接続される。この場合、トランシーバのR F部などでよく用いられるR F積層ハイブリッドバルーンを用いると、その狭帯域特性などのため十分な平衡度が得られない場合が多い。その場合でも平衡度の高い信号を出力する回路が要求される。

【0 0 0 8】

本発明は上記問題点を解決するためになされたものであって、その目的は平衡度が高く、直線性の良い信号を出力することのできる差動アンプ回路、差動変換回路及びミキサ回路を提供することにある。

【0 0 0 9】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明は、第1及び第2のシングルエンド差動変換回路をそれぞれ一対のエミッタ接地型アンプとベース接地型アンプとで構成し、それらの第1及び第2の差動信号をクロスカップルしたため、平衡度の高い第3の差動出力信号を得ることができる。そして、エミッタ接地型アンプで構成したため、差動出力信号は直線性が良い。

【0 0 1 0】

請求項2に記載の発明のように、平衡度の高い差動信号を出力する差動アンプ回路の前段に、一対のエミッタ接地型アンプとベース接地型アンプとから構成された差動変換部を設けることで、シングルエンド差動変換回路は入力信号に基づ

いて直線性が良く平衡度の高い差動信号を出力する。

【0011】

請求項3に記載の発明のように、ギルバートセルミキサのディファレンシャルペア部分に請求項1に記載の差動アンプ回路を用いることで、直線性が良く平衡度が高いミキサ出力を得ることができる。

【0012】

請求項4に記載の発明のように、ギルバートセルミキサのディファレンシャルペア部分に請求項2に記載の差動変換回路を用いることで、狭帯域特性のバルーンを必要とせず、単一の入力信号から直線性が良く平衡度が高いミキサ出力を得ることができる。

【0013】

【発明の実施の形態】

（第一実施形態）

以下、本発明を具体化した第一実施形態を図1～図3に従って説明する。

【0014】

図2は、本実施形態の差動アンプ回路20のブロック回路図である。

差動アンプ回路20は、第1及び第2シングルエンド差動変換回路21、22と加算器23、24を備えている。第1及び第2差動変換回路21、22は相補な第1及び第2入力信号 I_z 、 I_x がそれぞれ入力され、それらの差動出力がクロスカップルされて相補出力信号 O_z 、 O_x を生成する。

【0015】

即ち、第1及び第2差動変換回路21、22はそれぞれ非反転出力端子と反転出力端子を備えている。第1差動変換回路21の非反転出力端子と第2差動変換回路22の反転出力端子が第1加算器23に接続され、その加算器23から第1出力信号 O_z が出力される。同様に、第1差動変換回路21の反転出力端子と第2差動変換回路の非反転出力端子が第2加算器24に接続され、その加算器から第2出力信号 O_x が出力される。

【0016】

図1に示すように、第1差動変換回路21は、1組のエミッタ接地アンプ25

とベース接地アンプ 26 とから構成され、両アンプ 25, 26 には第 1 入力信号 I_z が共通に入力される。両アンプ 25, 26 は共通に入力される第 1 入力信号 I_z に対して逆相で動作し、それぞれ逆相の信号 S_{1z} , S_{1x} を出力する。

【0017】

同様に、第 2 差動変換回路 22 は、1 組のエミッタ接地アンプ 27 とベース接地アンプ 28 とから構成され、両アンプ 27, 28 には第 2 入力信号 I_x が共通に入力される。両アンプ 27, 28 は共通に入力される第 2 入力信号 I_x に対して逆相で動作し、それぞれ逆相の信号 S_{2z} , S_{2x} を出力する。

【0018】

第 1 及び第 2 差動変換回路 21, 22 を構成するエミッタ接地アンプ 25, 27 とベース接地アンプ 26, 28 は、同一の半導体基板上に近接して形成されるため、それらは同一の電気的特性を持つ。

【0019】

上記のように構成された差動アンプ回路 20 の動作を説明する。

第 1 及び第 2 入力信号 I_z , I_x の相対振幅誤差及び位相誤差を p 及び ϕ とすると、入力信号 I_z , I_x は次のように表せる。

【0020】

【数 1】

$$I_x = \sin(\omega t)$$

$$I_z = p \times \sin(\omega t + \pi + \phi)$$

第 1 差動変換回路 21 の相対差動出力信号 S_{1z} , S_{1x} は、出力信号振幅誤差及び位相誤差を k 及び θ 、ゲインを A とすると、

【0021】

【数 2】

$$S_{1x} = A \times \sin(\omega t)$$

$$S_{1z} = A \times k \times \sin(\omega t + \pi + \phi)$$

となる。同様に、第 2 差動変換回路 22 の差動出力信号 S_{2z} , S_{2x} は、

【0022】

【数3】

$$S2x = A \times p \times \sin(\omega t + \pi + \phi)$$

$$S2z = A \times k \times \sin(\omega t + \pi + \phi + \pi + \phi)$$

となる。

【0023】

従って、クロスカップルされた最終の出力信号 O_z 、 O_x は、

【0024】

【数4】

$$O_x = A \times (\sin(\omega t) + k \times p \times \sin(\omega t + \pi + \phi))$$

$$O_z = A \times (k \times \sin(\omega t + \pi + \phi) + p \times \sin(\omega t + \pi + \phi))$$

となる。

【0025】

この場合、出力信号 O_z 、 O_x の振幅誤差 $k(o)$ は、

【0026】

【数5】

$$k(o) = \frac{\sqrt{(1 + k \times p \times \cos(\phi + \theta))^2 + (k \times p \times \sin(\phi + \theta))^2}}{\sqrt{(k \times \cos \theta + p \times \cos \phi)^2 + (k \times \sin \theta + p \times \sin \phi)^2}}$$

となり、位相誤差 $\phi(o)$ は、

【0027】

【数6】

$$\theta(o) = \tan^{-1} \left(\frac{k \times \sin \theta + p \times \sin \phi}{k \times \cos \theta + p \times \cos \phi} \right) - \tan^{-1} \left(\frac{k \times p \times \sin(\phi + \theta)}{1 + k \times p \times \cos(\phi + \theta)} \right)$$

となる。

【0028】

仮に、入力信号誤差を $p = 1.2$ (誤差 20%)、 $\phi = +20^\circ$ 、回路内部の誤差を $k = 1.05$ (誤差 5%)、 $\theta = +5^\circ$ として出力誤差を計算すると、振幅誤差 1.01 (誤差 1%)、位相誤差 -0.96° となる。このように、入力信号 I_z 、 I_x の振幅誤差及び位相誤差に対して、出力信号 O_z 、 O_x のそれらは、全く問題ないレベルに改善される。

【0029】

即ち、シングルエンド構成のエミッタ接地アンプ 25、27 では、単なるバイアス電流の切替え動作ではなく、大信号入力時には入力信号による自己バイアス効果でバイアス電流が増加し (A B 級動作)、出力電力 (電流) の飽和が従来のエミッタ結合差動アンプに比べて遅くなる。従って、両アンプ 25、27 の出力信号 S_{1z} 、 S_{2z} は、直線性の良い特性を持ち、更には電力効率が良い。

【0030】

そして、第 1 差動変換回路 21 の差動出力信号 S_{1z} 、 S_{1x} と第 2 差動変換回路 22 の差動出力信号 S_{2z} 、 S_{2x} をクロスカップルすることで、それらにより生成される出力信号 O_z 、 O_x は高い平衡度特性を持つ。従って、本実施形態の差動アンプ回路 20 は、直線性が良く平衡度の高い相補出力信号 O_z 、 O_x を出力する。

【0031】

図 3 は、差動アンプ回路 20 のトランジスタレベルの回路図である。

第 1 差動変換回路 21 は、エミッタ接地アンプ 25 とベース接地アンプ 26 とから構成されている。

【0032】

エミッタ接地アンプ 25 は、NPN トランジスタ Q_{11} 、抵抗 R_1 、 R_2 及びコンデンサ C_1 から構成されている。トランジスタ Q_{11} のベースには抵抗 R_1 を介してバイアス電圧 V_B が印加され、エミッタは抵抗 R_2 を介して接地されている。トランジスタ Q_{11} のベースは DC カット用のコンデンサ C_1 を介して第 1 入力端子 T_{i1} に接続され、コレクタは第 1 出力端子 T_{o1} に接続されている。

【0033】

ベース接地アンプ26は、NPNトランジスタQ12、抵抗R3、R4及びコンデンサC2、C3から構成されている。トランジスタQ12のベースはコンデンサC2を介して接地されると共に、抵抗R3を介してバイアス電圧VBが供給されている。トランジスタQ12のエミッタは抵抗R4を介して接地されている。そして、トランジスタQ12のエミッタはDCカット用のコンデンサC3を介して第1入力端子Ti1に接続され、コレクタは第2出力端子To2に接続されている。

【0034】

第2差動変換回路22は、エミッタ接地アンプ27とベース接地アンプ28とから構成されている。

エミッタ接地アンプ27は、NPNトランジスタQ13、抵抗R5、R6及びコンデンサC4から構成されている。トランジスタQ13のベースには抵抗R5を介してバイアス電圧VBが印加され、エミッタは抵抗R6を介して接地されている。トランジスタQ13のベースにはDCカット用のコンデンサC4を介して第2入力端子Ti2に接続され、コレクタは第2出力端子To2に接続されている。

【0035】

ベース接地アンプ28は、NPNトランジスタQ14、抵抗R7、R8及びコンデンサC5、C6から構成されている。トランジスタQ14のベースはコンデンサC5を介して接地されると共に、抵抗R7を介してバイアス電圧VBが供給されている。トランジスタQ14のエミッタは抵抗R8を介して接地されている。そして、トランジスタQ14のエミッタはDCカット用のコンデンサC6を介して第2入力端子Ti2に接続され、コレクタは第1出力端子To1に接続されている。

【0036】

各トランジスタQ11～Q14のエミッタに接続された抵抗R2、R4、R6、R8は各アンプ25～28のゲインを決定する。ベース接地アンプ26、28のコンデンサC2、C5はトランジスタQ12、Q14のベース接地容量である。

【 0 0 3 7 】

即ち、トランジスタQ 1 1のエミッタとトランジスタQ 1 4のエミッタがドットされて第1出力端子T o 1に接続され、これにより第1エミッタ接地アンプ25の出力信号と第2ベース接地アンプ28の出力信号とにより出力信号O zが生成される。同様に、トランジスタQ 1 2のエミッタとトランジスタQ 1 3のエミッタがドットされて第2出力端子T o 2に接続され、これにより第1ベース接地アンプ26の出力信号と第2エミッタ接地アンプ27の出力信号とにより出力信号O xが生成される。従って、図1及び図2に示すように、加算器23, 24を用いなくてもよい。

【 0 0 3 8 】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 差動アンプ回路20はそれぞれ一対のエミッタ接地アンプ25, 27とベース接地アンプ26, 28から構成される第1及び第2差動変換回路21, 22を備え、各アンプ25~28による差動出力信号S 1 z, S 1 x, S 2 z, S 2 xをクロスカップルして差動出力信号O z, O xを生成するようにした。その結果、差動出力信号をS 1 z, S 1 x, S 2 z, S 2 xクロスカップルしたため、平衡度の高い差動出力信号O z, O xを得ることができる。そして、エミッタ接地型アンプ25, 27で構成したため、差動出力信号O z, O xは直線性を良くすることができる。

【 0 0 3 9 】

尚、前記実施形態は、以下の態様に変更してもよい。

○上記実施形態のアンプ25~28の構成を適宜変更して実施しても良い。

例えば、図4には、差動アンプ回路20 aの回路図を示す。この差動アンプ回路20 aは、第1及び第2差動変換回路21 a, 22 aを備え、それらはそれぞれ一対のエミッタ接地アンプ25 a, 27 aとベース接地アンプ26 a, 28 aにより構成されている。エミッタ接地アンプ25 aはNPNトランジスタQ 1 1と抵抗R 2とから構成され、トランジスタQ 1 1のエミッタは抵抗R 2を介して接地され、ベースには入力信号I zが印加されている。

【 0 0 4 0 】

ベース接地アンプ 2 6 a は N P N トランジスタ Q 1 2, Q 1 5、抵抗 R 4 及びコンデンサ C 2 から構成されている。トランジスタ Q 1 4 のベースにはバイアス電圧 V B が印加され、そのベースはコンデンサ C 2 を介して接地されている。トランジスタ Q 1 4 のエミッタは抵抗 R 4 を介して接地されている。トランジスタ T 1 4 と抵抗 R 4 との間にはトランジスタ Q 1 5 が挿入接続されている。トランジスタ Q 1 5 はコレクタがトランジスタ Q 1 4 のエミッタに接続され、エミッタが抵抗 R 4 に接続されている。トランジスタ Q 1 5 はベースとコレクタが互いに接続され、そのベースはエミッタ接地アンプ 2 5 a のトランジスタ Q 1 1 のベースに接続されている。

【 0 0 4 1 】

第 2 エミッタ接地アンプ 2 7 a は N P N トランジスタ Q 1 3 と抵抗 R 6 とから構成され、第 1 エミッタ接地アンプ 2 5 a と同様に接続されている。第 2 ベース接地アンプ 2 8 a はトランジスタ N P N Q 1 4, Q 1 6、抵抗 R 8 及びコンデンサ C 6 とから構成され、第 1 ベース接地アンプ 2 6 a と同様に接続されている。

【 0 0 4 2 】

このように構成された差動アンプ回路 2 0 a において、第 1 及び第 2 ベース接地アンプ 2 6 a, 2 8 a のトランジスタ Q 1 5, q 1 6 のベースに印加するバイアス電圧はトランジスタ Q 1 2, Q 1 4 が流す電流によってその電位が決定され、そのバイアス電圧を第 1 及び第 2 エミッタ接地アンプ 2 5 a, 2 7 a のトランジスタ Q 1 2, Q 1 3 のベースに印加する。これにより、抵抗 R 1, R 3, R 5, R 7 と入力部に D C カット用のコンデンサ C 1, C 3, C 4, C 6 が不要になる。

【 0 0 4 3 】

また、図 5 には、差動アンプ回路 2 0 b の回路図を示す。この差動アンプ回路 2 0 b は、第 1 及び第 2 差動変換回路 2 1 b, 2 2 b を備え、それらはそれぞれ一対のエミッタ接地アンプ 2 5 b, 2 7 b とベース接地アンプ 2 6 b, 2 8 b により構成されている。エミッタ接地アンプ 2 5 b は N P N トランジスタ Q 1 1, Q 1 7 と抵抗 R 2 とから構成され、トランジスタ Q 1 1 のエミッタは抵抗 R 2 を介して接地され、ベースには入力信号 I z が印加されている。トランジスタ Q 1

1 と出力端子 T o 1 の間にはトランジスタ Q 1 7 が挿入接続されている。トランジスタ Q 1 7 はエミッタがトランジスタ Q 1 1 のコレクタに接続され、コレクタが出力端子 T o 1 に接続されている。トランジスタ Q 1 7 のベースにはバイアス電圧 V B が印加されている。

【 0 0 4 4 】

ベース接地アンプ 2 6 b は N P N トランジスタ Q 1 2 , Q 1 5 、抵抗 R 4 及びコンデンサ C 2 から構成されている。トランジスタ Q 1 4 のベースにはバイアス電圧 V B が印加され、そのベースはコンデンサ C 2 を介して接地されている。トランジスタ Q 1 4 のエミッタは抵抗 R 4 を介して接地されている。トランジスタ T 1 4 と抵抗 R 4 との間にはトランジスタ Q 1 5 が挿入接続されている。トランジスタ Q 1 5 はコレクタがトランジスタ Q 1 4 のエミッタに接続され、エミッタが抵抗 R 4 に接続されている。トランジスタ Q 1 5 はベースとコレクタが互いに接続され、そのベースはエミッタ接地アンプ 2 5 b のトランジスタ Q 1 1 のベースに接続されている。

【 0 0 4 5 】

第 2 エミッタ接地アンプ 2 7 b は N P N トランジスタ Q 1 3 , Q 1 8 と抵抗 R 6 とから構成され、第 1 エミッタ接地アンプ 2 5 b と同様に接続されている。第 2 ベース接地アンプ 2 8 b は N P N トランジスタ Q 1 4 , Q 1 6 、抵抗 R 8 及びコンデンサ C 6 とから構成され、第 1 ベース接地アンプ 2 6 b と同様に接続されている。

【 0 0 4 6 】

このように構成された差動アンプ回路 2 0 b では、上記の差動アンプ回路 2 0 a と同様にバイアス電圧を供給するための抵抗 R 1 , R 3 , R 5 , R 7 と入力部に D C カット用のコンデンサ C 1 , C 3 , C 4 , C 6 が不要であり、チップ面積が小さくてすむ。更に、この差動アンプ回路 2 0 b は、エミッタ接地アンプ 2 5 a , 2 7 a がカスコード構成となり、回路内部の平衡度が良い。

【 0 0 4 7 】

(第二実施形態)

以下、本発明を具体化した第二実施形態を図 6 に従って説明する。

尚、説明の便宜上、第一実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【 0 0 4 8 】

図 6 は、シングルエンド差動変換回路の回路図である。

この差動変換回路 3 0 は、出力段に第一実施形態の差動アンプ回路 2 0 を備えたものである。即ち、差動変換回路 3 0 は入力段の差動変換部 3 1 と出力段の差動アンプ回路 2 0 から構成されている。差動変換部 3 1 は一対のベース入力エミッタ接地アンプ 3 2 とエミッタ入力ベース接地アンプ 3 3 とから構成されている。両アンプ 3 2, 3 3 には共通に入力信号 I_n が入力され、差動出力信号 I_z , I_x を出力する。

【 0 0 4 9 】

この様にシングルエンド差動変換回路 3 0 を構成することで、直線性が良く平衡度が高い出力信号 O_z , O_x が得られる。

尚、第一実施形態の差動アンプ回路 2 0 に替えて、図 4 の差動アンプ回路 2 0 a 又は図 5 の差動アンプ回路 2 0 b を用いて実施しても良い。

【 0 0 5 0 】

(第三実施形態)

以下、本発明を具体化した第三実施形態を図 7 に従って説明する。

尚、説明の便宜上、第一及び第二実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【 0 0 5 1 】

図 7 は、差動入力型ミキサ回路の回路図である。

このミキサ回路 4 0 は、ギルバートセルミキサの下段ディファレンシャルペア部分を第一実施形態の差動アンプ回路 2 0 (又は、図 4 又は図 5 の差動アンプ回路 2 0 a, 2 0 b) にて構成した差動入力型のミキサ回路である。

【 0 0 5 2 】

即ち、ミキサ回路 4 0 は、差動アンプ回路 2 0 と一対の差動回路 4 1, 4 2 を備えている。第 1 差動回路 4 1 はエミッタ結合された NPN トランジスタ Q_{21} , Q_{22} から構成され、エミッタの接続点には差動アンプ回路 2 0 の出力信号 O

z が供給されている。トランジスタ Q 2 1, Q 2 2 のベースにはそれぞれキャリア信号 L O z, L O x が供給されている。

【 0 0 5 3 】

第 2 差動回路 4 2 はエミッタ結合された N P N トランジスタ Q 2 3, Q 2 4 から構成され、エミッタの接続点には差動アンプ回路 2 0 の出力信号 O x が供給されている。トランジスタ Q 2 3, Q 2 4 のベースにはそれぞれキャリア信号 L O x, L O z が供給されている。

【 0 0 5 4 】

第 1 及び第 2 差動回路 4 1, 4 2 の出力はクロスカップルされ、これにより、ミキサ回路 4 0 は入力信号 I z, I x とキャリア信号 L O z, L O x をミキシングして生成した信号 O 1 z, O 1 x を出力する。このように構成されたミキサ回路 4 0 は、回路内部において平衡度が高く、直線性が良く平衡度の高い出力信号 O 1 z, O 1 x を得ることができる。

【 0 0 5 5 】

(第四実施形態)

以下、本発明を具体化した第四実施形態を図 8 に従って説明する。

尚、説明の便宜上、第一～第三実施形態と同様の構成については同一の符号を付してその説明を一部省略する。

【 0 0 5 6 】

図 8 は、シングルエンド入力型ミキサ回路の回路図である。

このミキサ回路 5 0 は、ギルバートセルミキサの下段ディファレンシャルペア部分を第二実施形態のシングルエンド差動変換回路 3 0 にて構成したシングルエンド入力型のミキサ回路である。

【 0 0 5 7 】

即ち、ミキサ回路 5 0 は、差動変換回路 3 0 及び一对の差動回路 4 1, 4 2 を備え、差動変換回路 3 0 は差動変換部 3 1 と差動アンプ回路 2 0 とから構成されている。

【 0 0 5 8 】

このように構成されたミキサ回路 5 0 は、差動信号を生成するための外部バル

ーン(Balun) が不要であり、入力信号 I_n の周波数帯域が広い場合においても、平衡度が高く直線性の良い出力信号 O_{2z} 、 O_{2x} を得ることができる。

【0059】

尚、前記実施形態は、以下の態様に変更してもよい。

○上記各実施形態におけるNPNトランジスタ Q_{11} 、 Q_{12} 、…を、PNPバイポーラトランジスタ又はFETで構成して実施しても良い。

【0060】

【発明の効果】

以上詳述したように、本発明によれば、平衡度が高く、直線性の良い信号を出力することのできる差動アンプ回路、差動変換回路及びミキサ回路を提供することができる。

【図面の簡単な説明】

【図1】 差動アンプ回路のブロック回路図である。

【図2】 差動アンプ回路のブロック回路図である。

【図3】 差動アンプ回路の詳細な回路図である。

【図4】 別の差動アンプ回路の回路図である。

【図5】 別の差動アンプ回路の回路図である。

【図6】 シングルエンド差動変換回路の回路図である。

【図7】 差動入力型ミキサ回路の回路図である。

【図8】 シングルエンド入力型ミキサ回路の回路図である。

【図9】 従来例の回路図である。

【符号の説明】

20 差動アンプ回路

21 第1のシングルエンド差動変換回路

22 第2のシングルエンド差動変換回路

25, 27 エミッタ接地型アンプ

26, 28 ベース接地型アンプ

30 シングルエンド差動変換回路

31 差動変換部

I z, I x 第 1 及び第 2 入力信号

S 1 z, S 1 x 第 1 の差動信号

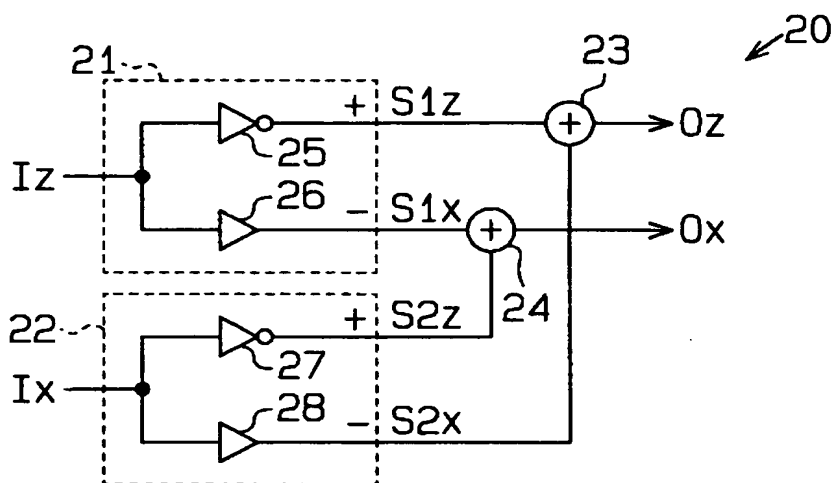
S 2 z, S 2 x 第 2 の差動信号

O z, O x 第 3 の差動信号

【書類名】 図面

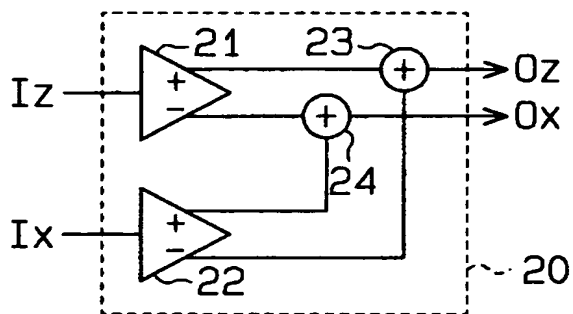
【図 1】

差動アンプ回路のブロック回路図

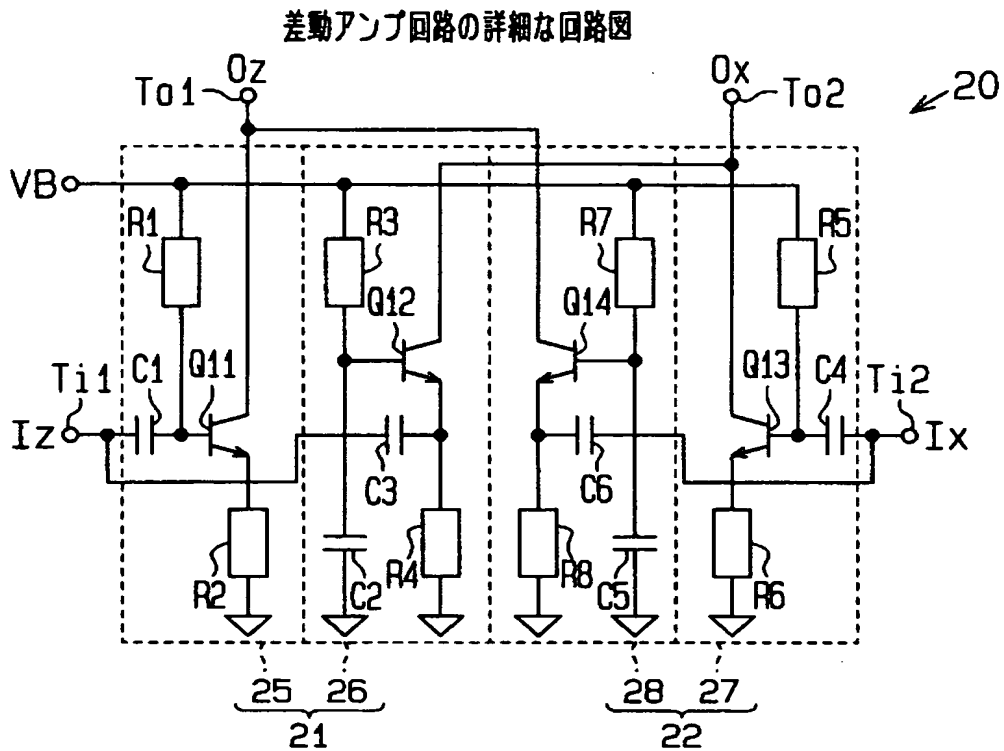


【図 2】

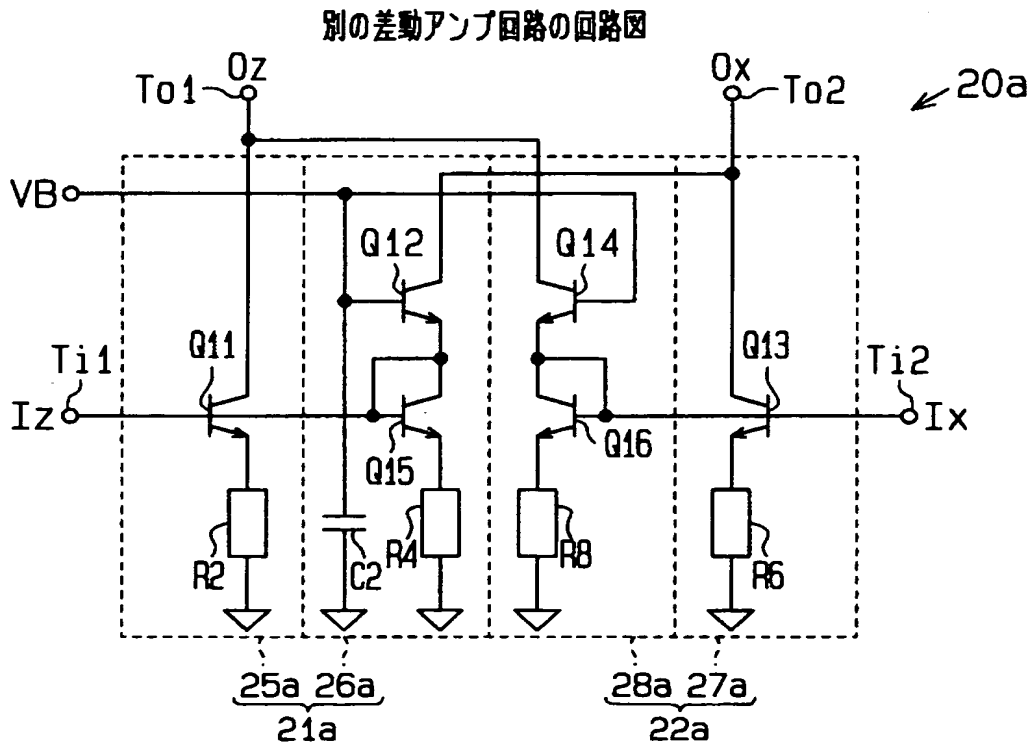
差動アンプ回路のブロック回路図



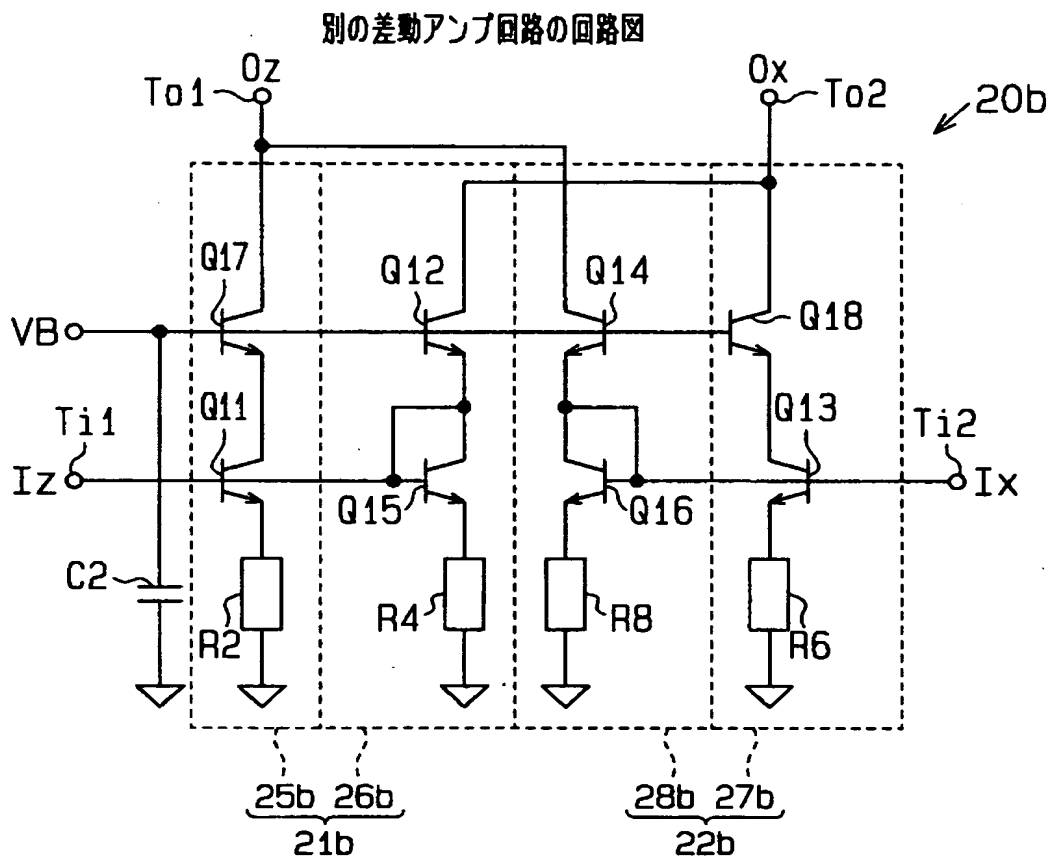
【図 3】



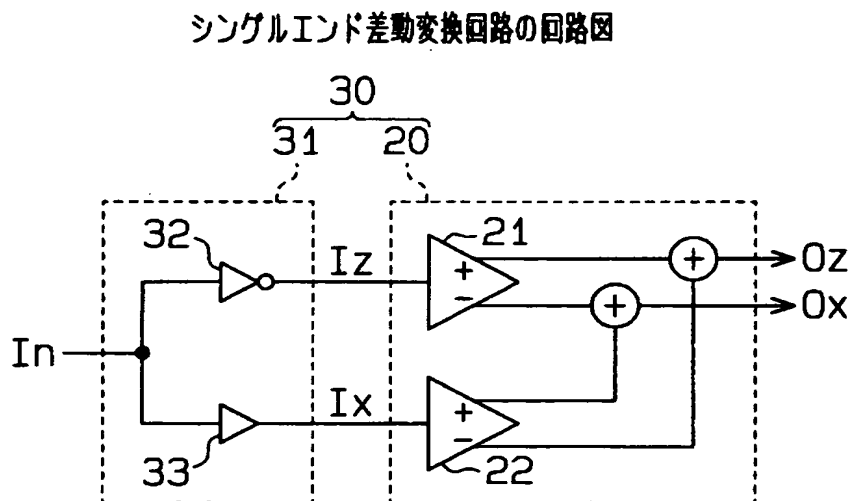
【図 4】



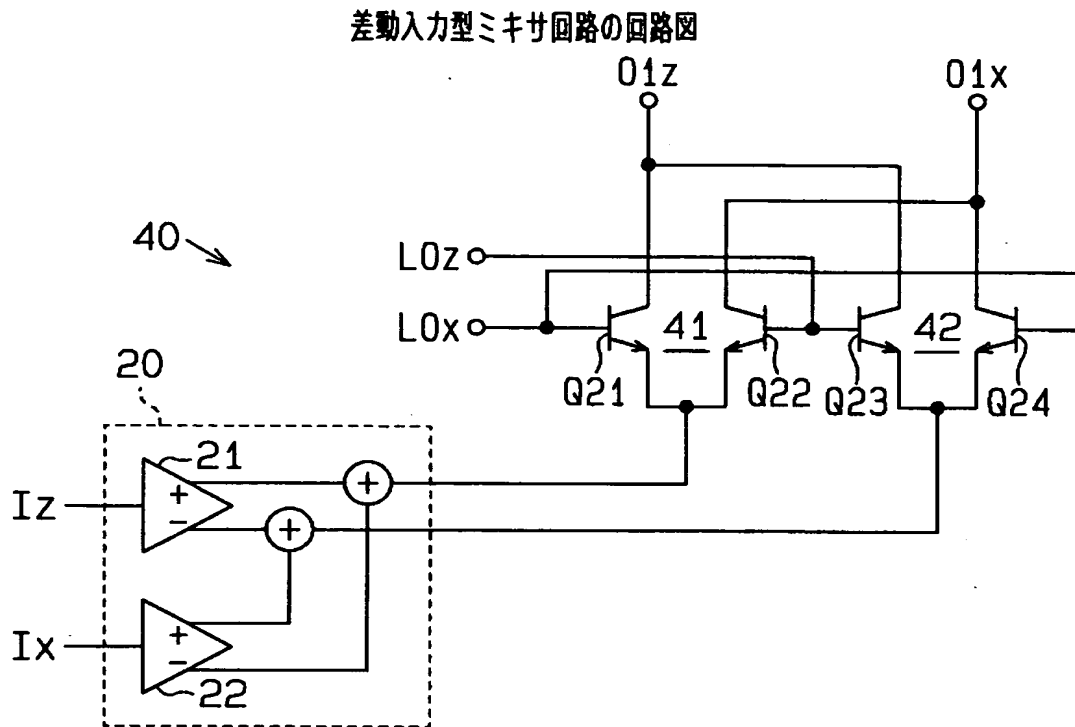
【图 5】



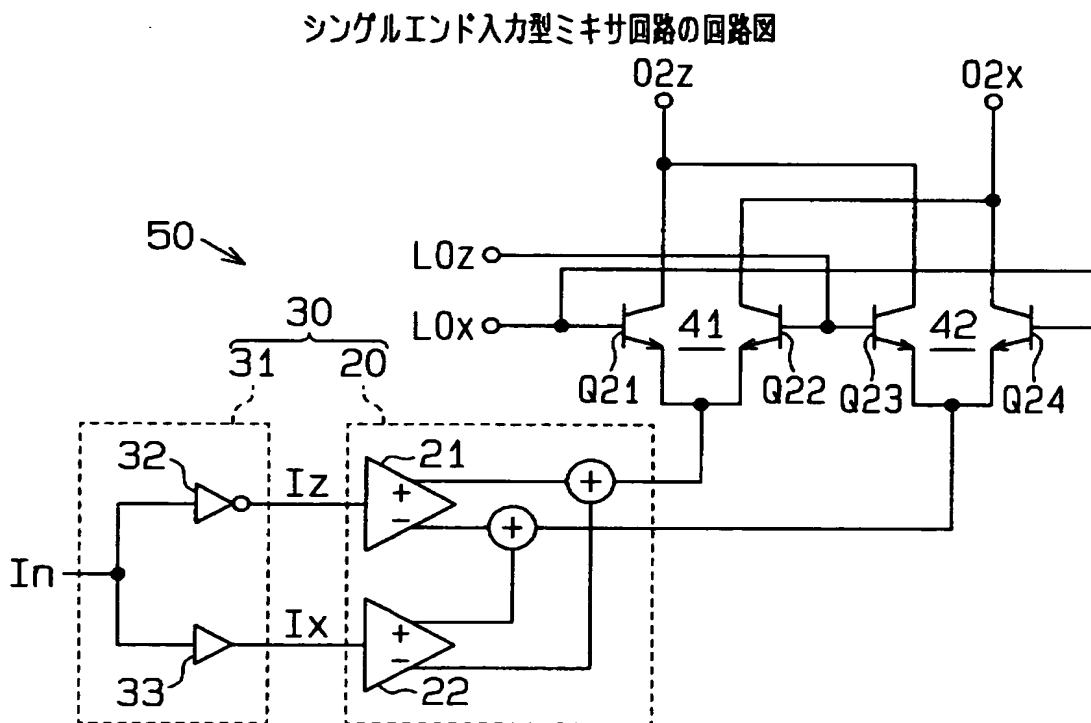
【図 6】



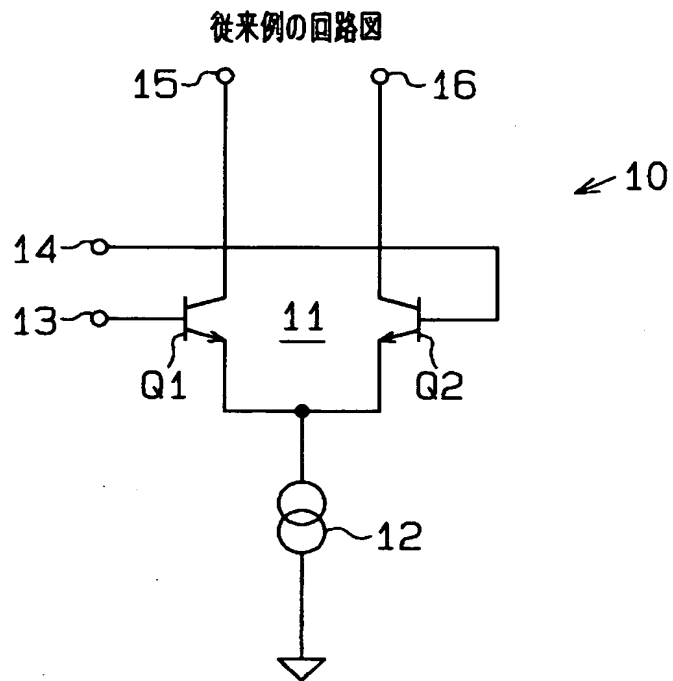
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 平衡度が高く、直線性の良い信号を出力することのできる差動アンプ回路を提供すること。

【解決手段】 差動アンプ回路 2 0 はそれぞれ一対のエミッタ接地アンプ 2 5, 2 7 とベース接地アンプ 2 6, 2 8 から構成される第 1 及び第 2 差動変換回路 2 1, 2 2 を備え、各アンプ 2 5 ~ 2 8 による差動出力信号 $S1z$, $S1x$, $S2z$, $S2x$ をクロスカップルして差動出力信号 Oz , Ox を生成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日	1990年 9月 6日
[変更理由]	新規登録
住 所	愛知県春日井市高蔵寺町2丁目1844番2
氏 名	富士通ヴィエルエスアイ株式会社